**Лабораторная работа 2 (Lr2)**

**ПРЕОБРАЗОВАТЕЛИ КОДОВ**

**ЦЕЛЬ РАБОТЫ**

Ознакомление с основными характеристиками и испытание интегральных преобразователей кодов (дешифратора, шифратора, демультиплексора и мультиплексора).

**ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ И РАСЧЕТНЫЕ ФОРМУЛЫ**

*Кодом* называют систему символов для представления информации в форме, удобной для обработки, хранения и передачи. В цифровой технике для записи кодовых символов, или просто кода, используют две цифры: 0 и 1. *Преобразователи кодов* служат для перевода одной формы бинарного числа (кодовой комбинации) в другую, например преобразование двоично-десятичного кода в семисегментный код индикатора. Входные и выходные коды преобразователей связаны между собой. Эту связь задают логическими функциями или в виде таблицы переключений. Рассмотрим наиболее распространенные в цифровой технике виды преобразователей кодов.

**1. ДЕШИФРАТОР**

*Дешифратор* (DC), или *декодер*, — комбинационная схема с *n* входами и  выходами (), преобразующая двоичный входной *n*-код (кодовое слово) в унитарный. На одном из *m*-выходов дешифратора появляется логическая 1, а именно на том, номер которого соответствует поданному на вход двоичному коду.

На всех остальных выходах дешифратора выходные сигналы равны нулю. Дешифратор используют, когда нужно обращаться к различным цифровым устройствам по адресу, представленному двоичным кодом.

Условное изображение дешифратора 4х16 (читаемого «четыре в шестнадцать») на схемах дано на рис. 2.1. Дешифратор содержит число выходов, равное числу комбинаций входных переменных: от  до  при  и .



Рис. 2.1

Применяются также неполные дешифраторы с меньшим числом выходов (10 или 12 при четырех переменных на входе, тогда ряд комбинаций на входе не используется).

Каждый выход полного дешифратора реализует конъюнкцию входных переменных (код адреса) или их инверсий: при наборе , при , при  и т. д.

Дешифраторы часто имеют *разрешающий* (управляющий, стробирующий) вход Е. При  дешифратор функционирует как обычно, при  на всех выходах устанавливается 0 независимо от поступающего кода адреса. Дешифраторы широко используют во многих устройствах, в том числе в качестве преобразователей двоичного кода в десятичный.

**2. ШИФРАТОР**

*Шифратор* (СD), или *кодер*, выполняет функцию, обратную функции дешифратора. Условное изображение шифратора 16х4 (16 в 4) на схемах показано на рис. 2.2*а*. Классический шифратор имеет *n* входов и *m* выходов (), и при подаче сигнала 1 на один из входов (и не более) на выходе кодера появляется двоичный код номера возбужденного выхода. Число входов и выходов такого шифратора связано соотношением .

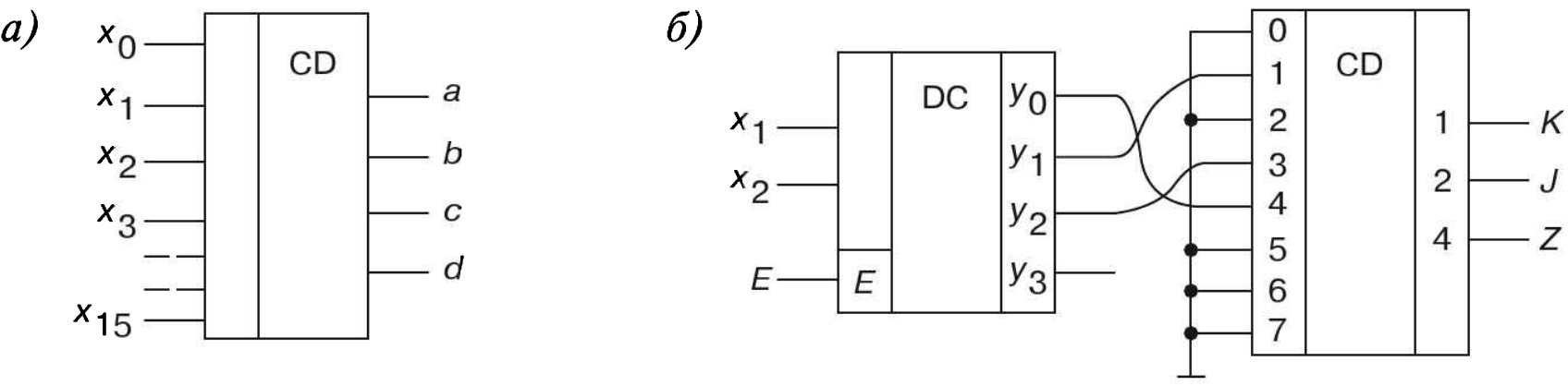


Рис. 2.2

Области использования шифраторов — отображение в виде двоичного кода номера нажатой кнопки или положения многопозиционного переключателя, а также номера устройства, подавшего сигнал на обслуживание в микропроцессорных системах. Шифраторы входят в состав микросхем контроллеров прерываний, например КР580ВН59.

Для решения многих конкретных задач необходимо синтезировать преобразователи различных кодов. В качестве примера на рис. 2.2*б* представлена схема кодового преобразователя, состоящая из пары декодер DС — кодер СD, реализующая логику работы () некоторого трехцветного светофора *K*, *J* и *Z*, управляемого двухразрядным двоичным кодом *Х*. При этом вначале дешифруется каждая комбинация исходного кода, в результате чего на соответствующем выходе декодера появляется логическая 1. Затем этот логический сигнал, значение которого определено номером выхода декодера, подается на кодер, и на его выходах устанавливается преобразованный код.

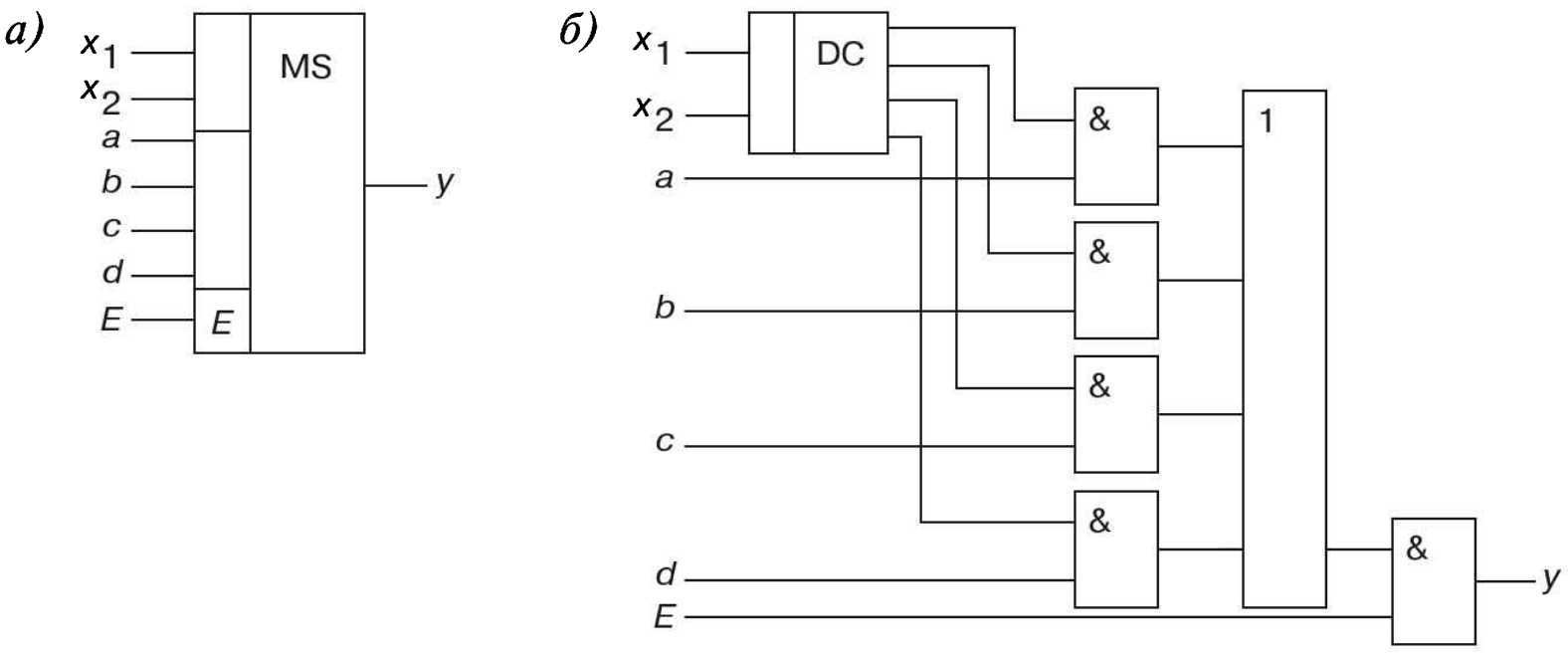
Число входов дешифратора ОС равно двум (*х1* и *х2*), число выходов — трем (числу выходов преобразователя) *у0*, *у1* и *у2*. Соединения дешифратора и шифратора выполнены в соответствии с заданной логической функцией *у*. Часть выходов декодера и входов кодера не используется.

Эффективно стыкуются друг с другом декодер и кодер, построенные на элементах И-НЕ: первый имеет инверсные выходы, а второй — инверсные входы. Если некоторым входным комбинациям соответствует одна и та же выходная, то соответствующие выходы декодера объединяют на элементе ИЛИ и выход последнего подают на нужный вход кодера.

Проектирование кодовой преобразовательной схемы на паре декодер-кодер оказывается в среднем более выгодным и по числу корпусов, и по быстродействию, чем при проектировании из готовых базовых логических микросхем И-НЕ и ИЛИ-НЕ. Однако потребляемая мощность в этом случае может оказаться больше, чем у схемы из отдельных элементов. Затраты времени инженера на логическое проектирование по схеме декодер-кодер неизмеримо меньше, чем затраты на проектирование преобразователя из россыпи.

**3. МУЛЬТИПЛЕКСОР**

*Мультиплексор* (МS) — это функциональный узел, осуществляющий подключение (*коммутацию*) одного из нескольких входов к выходу *у*. На выход такого устройства передается логический уровень того информационного разряда, номер которого в двоичном коде задан на адресных входах *х1* и *х2*. Условное изображение мультиплексора на четыре входа и возможный вариант его структурной схемы показаны на рис. 2.3*а* и *б*.



Pиc. 2.3

При  и  ; при  и  ; при  и  , и при  и  .

Функционирование мультиплексора описывается выражением

.

Вход *Е* — разрешающий: при  мультиплексор работает как обычно, при  выход узла находится в неактивном состоянии, мультиплексор заперт. Серийные узлы выпускаются с числом адресных входов *n* = 2, 3 и 4 при возможном числе  коммутируемых входов. При необходимости коммутировать большее количество входов используют несколько мультиплексоров. Мультиплексоры находят широкое применение в устройствах отображения информации в различных устройствах управления.

Так как мультиплексор может пропустить на выход сигнал с любого информационного входа, адрес которого установлен на соответствующих адресных входах, то на основе мультиплексоров реализуют логические функции, подавая на информационные входы логические 1 или 0 в соответствии с таблицей переключений, а на адресные входы — аргументы функции.

**4. ДЕМУЛЬТИПЛЕКСОР**

*Демультиплексор* (DMS) выполняет функцию, обратную функции мультиплексора, то есть производит коммутацию одного входного сигнала на  выходов, где *n* — число адресных входов *хi*. Он осуществляет преобразование информации из последовательной формы (последовательно-параллельной) в параллельную. Демультиплексор имеет один информационный вход *D* и несколько выходов, причем вход подключается к выходу *уi*, имеющему заданный адрес.

В качестве примера на рис. 2.4*a* дано условное графическое обозначение демультиплексора, имеющего четыре выхода, закон функционирования которого задан (табл. 2.1). Пользуясь табл. 2.1, запишем переключательные функции для выхода устройства:

.

Функциональная схема демультиплексора, реализующая эти выражения, приведена на рис. 2.4*б*.

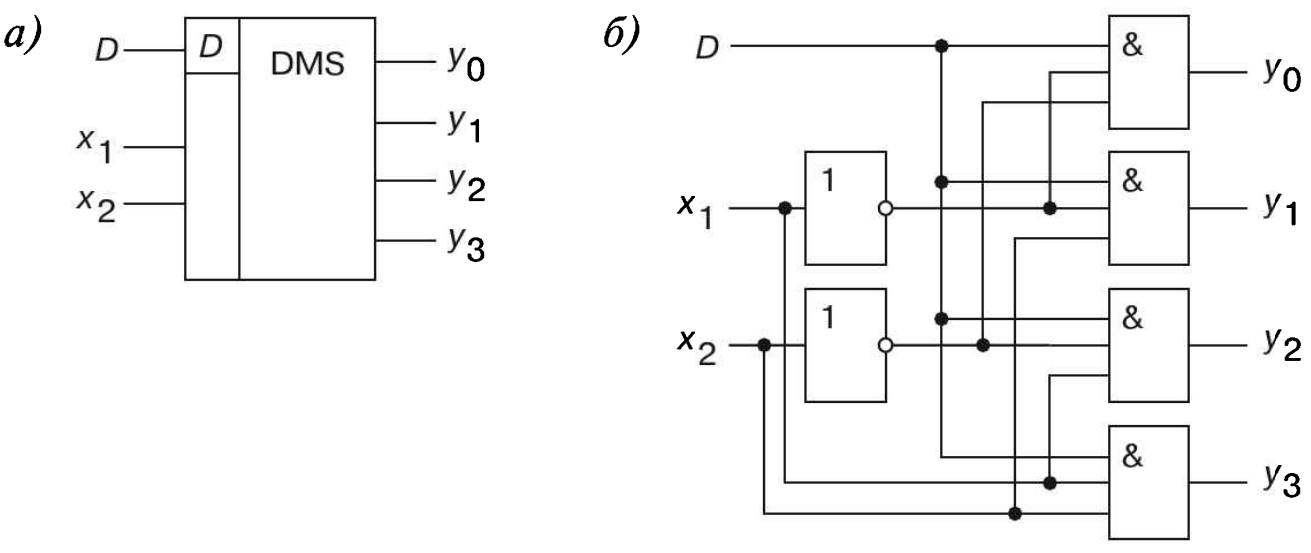
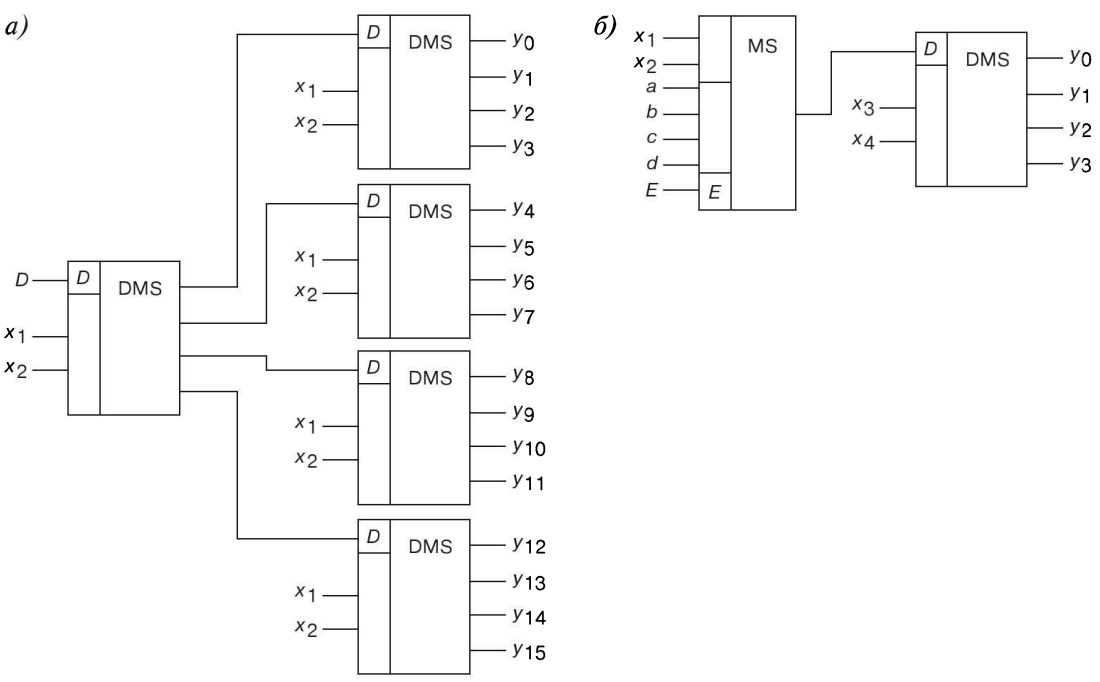


Рис. 2.4

Таблица 2.1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| D | x1 | x2 | y3 | y2 | y1 | y0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |

Если общее число выходов разрабатываемого устройства превышает имеющиеся в выпускаемых интегральных микросхемах, то используют параллельное подключение нескольких схем. На рис. 2.5*a* показано демультиплексорное дерево, построенное на мультиплексорах с четырьмя выходами. Объединяя мультиплексор с демультиплексором, получают комбинационное устройство, в котором по заданным адресам один из входов подключается к одному из его выходов (рис. 2.5*б*).



Pиc. 2.5

**УЧЕБНЫЕ ЗАДАНИЯ И МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ИХ ВЫПОЛНЕНИЮ**

**Задание 1.** Запустить лабораторный комплекс **Micro-Сap 12**. Собрать на рабочем поле среды **Micro-Cap 12** схему для испытания *дешифратора* **74AC238** (рис. 2.6) и установить в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 2.6) на страницу отчета.

Схема (рис. 2.6) содержит:

* интегральный дешифратор **74AC238** (decoder) 3х8, имеющий 3 информационных входа **А**, **В** и **С** (для кода 4-2-1), 8 выходов (**Y0**, ..., **Y7**) и преобразующий позиционный 3-разрядный двоичный код в унитарный «1 из 8»: в выходной 8-разрядной кодовой комбинации только одна позиция занята единицей, а все остальные — нулевые (см. рис. 2.7). В зависимости от входного двоичного кода, например 001, на выходе **74AC238** появляется сигнал 1 только на одной из восьми выходных линий, к которым подключены пробники **U0, ..., U7**.

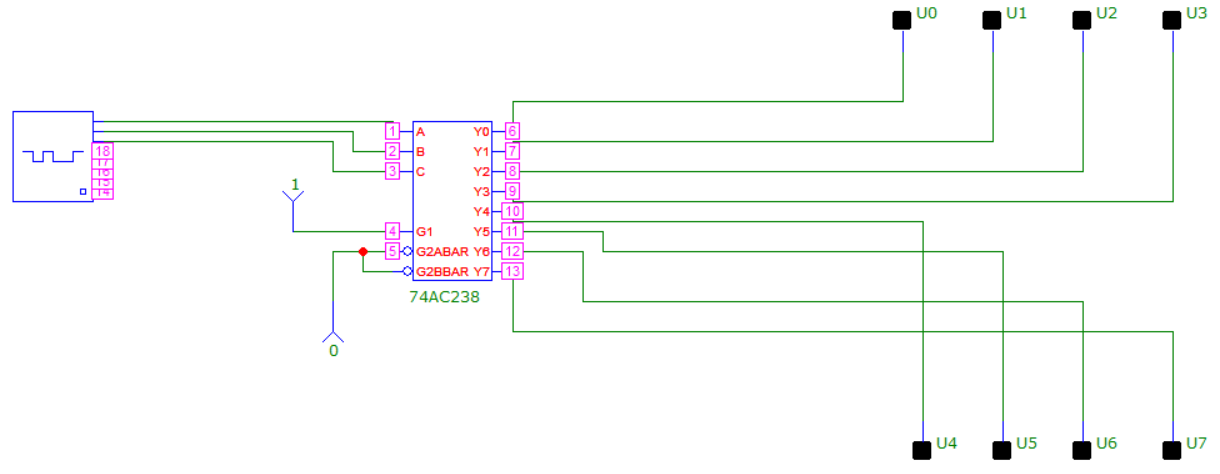


Рис. 2.6

* генератор слова **8-bit Digital Stimulus** с записанными логическими словами в его ячейки памяти, которые эквивалентны десятичным числам от 0 до 7 (см. рис. 2.7);

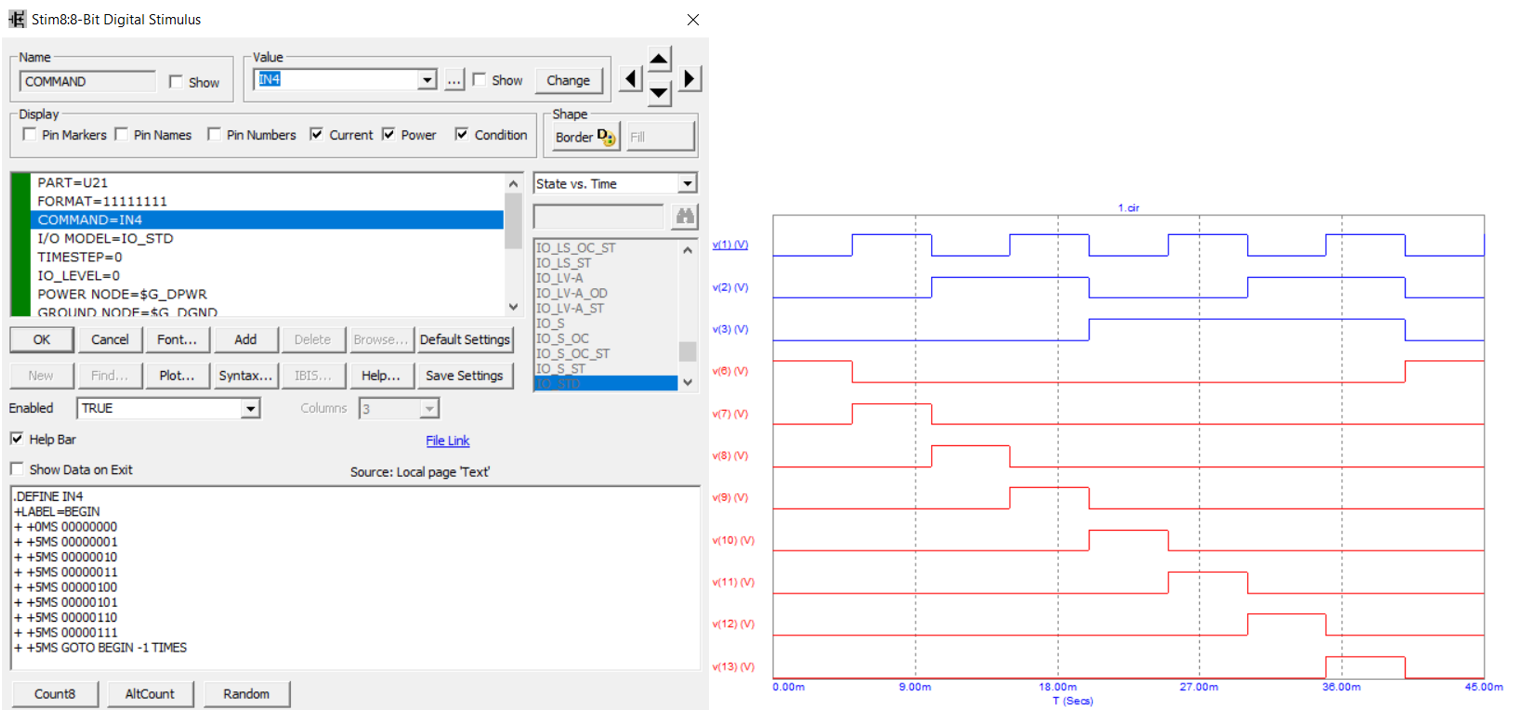


Рис. 2.7

* 2 источника **Fixed Digital**.

**Запустить** программу моделирования дешифратора. **Убедиться**, что при подаче на вход дешифратора каждой новой двоичной кодовой комбинации засвечивается только один пробник, который «распознает» свой входной код.

**Скопировать** временные диаграммы входных и выходных сигналов дешифратора на страницу отчета. По результатам моделирования **составить** и **заполнить** таблицу переключений (функций ) на выходах дешифратора **74AC238** 3х8.

**Задание 2.** Собрать на рабочем поле среды **Micro-Cap 12** схему для испытания *шифратора* **СD4532B** (рис. 2.8) и установить в диалоговых окнах компонентов их параметры илирежимы работы. **Скопировать** схему (рис. 2.8) на страницу отчета.

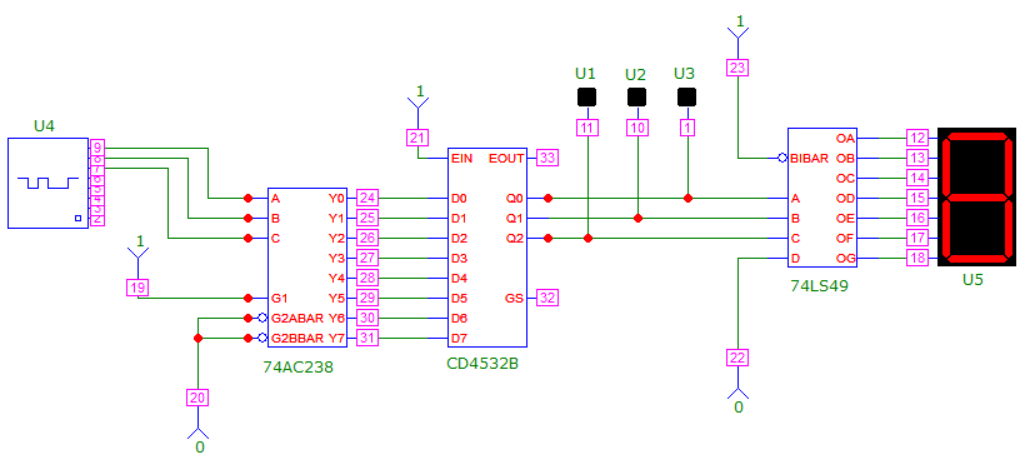


Рис. 2.8

Интегральный *шифратор* **СD4532B** 8х3 (из 8 в 3) имеет 8 входов **DO, D1, ..., D7**, подключенных к выходам **Y0, Y1, ..., Y7** дешифратора **74AC238**, и три выхода **Q0, Q1,Q2** , к которым подключены логические пробники **U1, U2, U3** и семисегментный индикатор **U5**. Содержимое ячеек памяти генератора слова **8-bit Digital Stimulus**: 000, 001, ..., 111 (см. рис. 2.7).

**Запустить** программу моделирования шифратора. Последовательно подавать на вход дешифратора логические слова (изменять время анализа в **Transient Analysis**).

**Убедиться**, что при подаче с выхода **74AC238** на вход шифратора **СD4532B** 8-разрядной последовательности, в которой только одна позиция занята единицей, а остальные — нулями, на выходе шифратора формируются 3-разрядные двоичные коды **Q0Q1Q2**, где , соответствующие двоичным кодовым комбинациям на входе дешифратора **74AC238**.

По результатам моделирования (по засвечиванию логических пробников **U1, U2, U3** и показаниям индикатора) **составить** и **заполнить** таблицу переключений на выходе шифратора **СD4532B** 8х3.

**Преобразовать** схему дешифратора **74AC238** 3х8 и шифратора **СD4532B** 8х3 (см. рис. 2.8) в схему **74AC238** 2х4 и шифратора **СD4532B** 4х2. **Составить** таблицы переключений дешифратора 2х4 и шифратора 4х2.

**Задание 3.** Собрать на рабочем поле среды **Micro-Cap 12** схему для испытания *демультиплексора* **74F138** (рис. 2.9) и установить в диалоговых окнах компонентов их параметры или режимы работы.

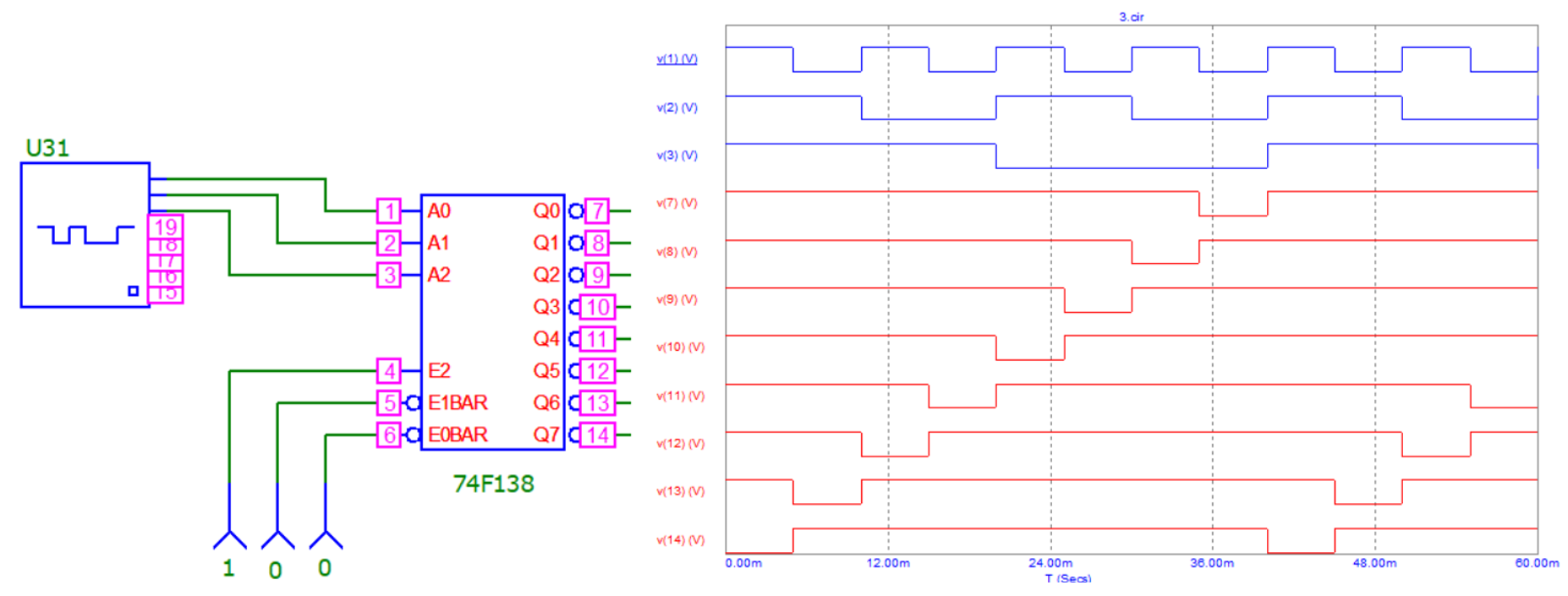


Рис. 2.9

*Демультиплексор* **74F138** 1x8 (из 1 в 8) (рис. 2.9) имеет один информационный вход, три адресных **А0, A1, A2** входа, разрешающий вход и восемь **Q0, Q1, .., Q7** инверсных выходов. С помощью генератора слов **U31** можно сформировать восемь трехразрядных двоичных адресных слов. При последовательной подаче слов от 111 до 000 в **Transient Atalysis** выводятся 8-разрядные кодовые последовательности с одним активным (низким) уровнем.

**Запустить** программу моделирования демультиплексора.

**Убедиться**, что для каждой комбинации адресных сигналов демультиплексор формирует логический 0 на одном из восьми выходов, номер которого соответствует определенному кодовому слову на входе, то есть демультиплексор подобен коммутатору, посредством которого поток цифровой информации разделяется на 8 выходных потоков.

**Скопировать** схему (рис. 2.9) и временные диаграммы входных и выходных сигналов на страницу отчета.

**Задание 4.** (Выполняется факультативно.) Собрать на рабочем поле среды **Micro-Cap 12** схему для испытания *демультиплексора* **74HC154** 1х16 (из 1 в 16) (рис. 2.10) и установить в диалоговых окнах компонентов их параметры или режимы работы.

**Скопировать** схему (рис. 2.10) в отчет.

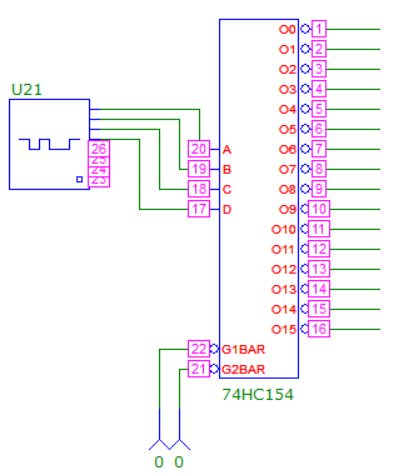


Рис. 2.10

К входу демультиплексора **74HC154** подключен генератор слов **U21** с записанными в его ячейки памяти адресными кодами от 0000 до 1111, а для визуализации сигналов на выходах включены.

**Запустить** программу моделирования демультиплексора **74HC154** 1x16.

В исследуемой модели демультиплексора соответствующий активный выход имеет низкий логический уровень (рис. 2.11).

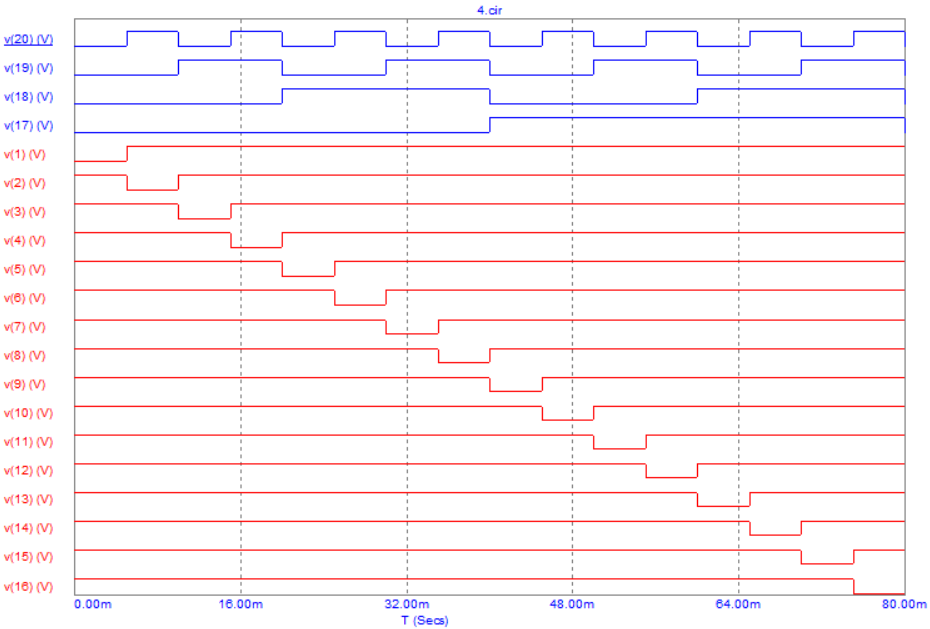


Рис. 2.11

**Скопировать** на страницу отчета временные диаграммы выходных сигналов демультиплексора **74HC154** 1x16.

Демультиплексоры как таковые промышленностью не выпускаются, поскольку режим мультиплексирования может быть реализован как частный случай в других устройствах — в дешифраторах.

**Задание** **5**. Собрать на рабочем поле среды **Micro-Cap 12** схему (рис. 2.12) для испытания *мультиплексора* **74151А** 8х1 (из 8 в 1) и установить в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 2.12) в отчет.

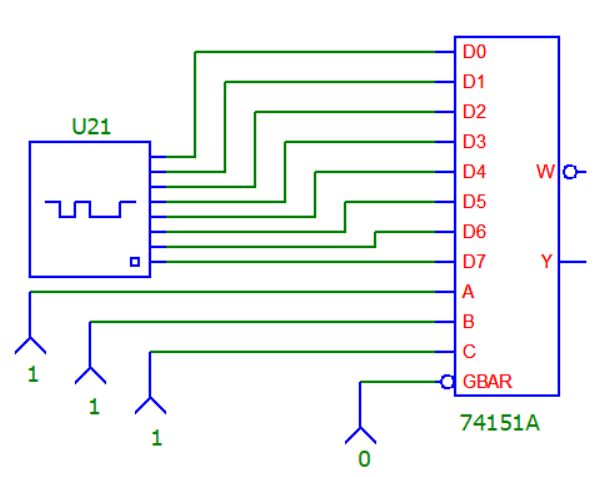


Рис. 2.12

Мультиплексор **74151А** с разрешающим входом G осуществляет передачу сигнала с каждого информационного входа **D0, D1, ..., D7**, заданного 3-разрядным кодом **АВС** — адресом выбираемого входа, на единственный выход **Y**. Разрядность (3) управляющего сигнала определяет количество входов (), с которых мультиплексор может принимать информацию. Если предположить, что к входам **D0, D1, .., D7** мультиплексора **74151А** присоединено 8 источников цифровых сигналов — генераторов последовательных двоичных слов, то байты от любого из них можно передавать на выход **Y**.

Для иллюстрации работы мультиплексора **74151А** запишем в ячейки памяти генератора слова **U21** произвольные 8-разрядные кодовые слова (рис. 2.13 слева), а на входы **А, В, С** сформируем управляющий сигнал 111. Поступающие на вход **D7** мультиплексора байты (сигнал 01001110) с 8-го разряда логических слов генератора **U21** передаются на выход **Y**.

Если сформировать адресный код 011, то с входа **D3** на выход **Y** мультиплексора будут поступать байты 4-го разряда логических слов, записанных в ячейки памяти генератора слова **U21**, и т.д.

**Записать** в первые восемь ячеек памяти генератора **U21** произвольные 8-разрядные кодовые слова (см. рис. 2.13 слева).

**Установить** адресный код (самостоятельно или по указанию преподавателя), например 100 и **запустить** программу моделирования мультиплексора. **Получить** и **скопировать** временные диаграммы входных сигналов **D0, D1, .., D7** и выходного сигнала **Y** мультиплексора на страницу отчета.

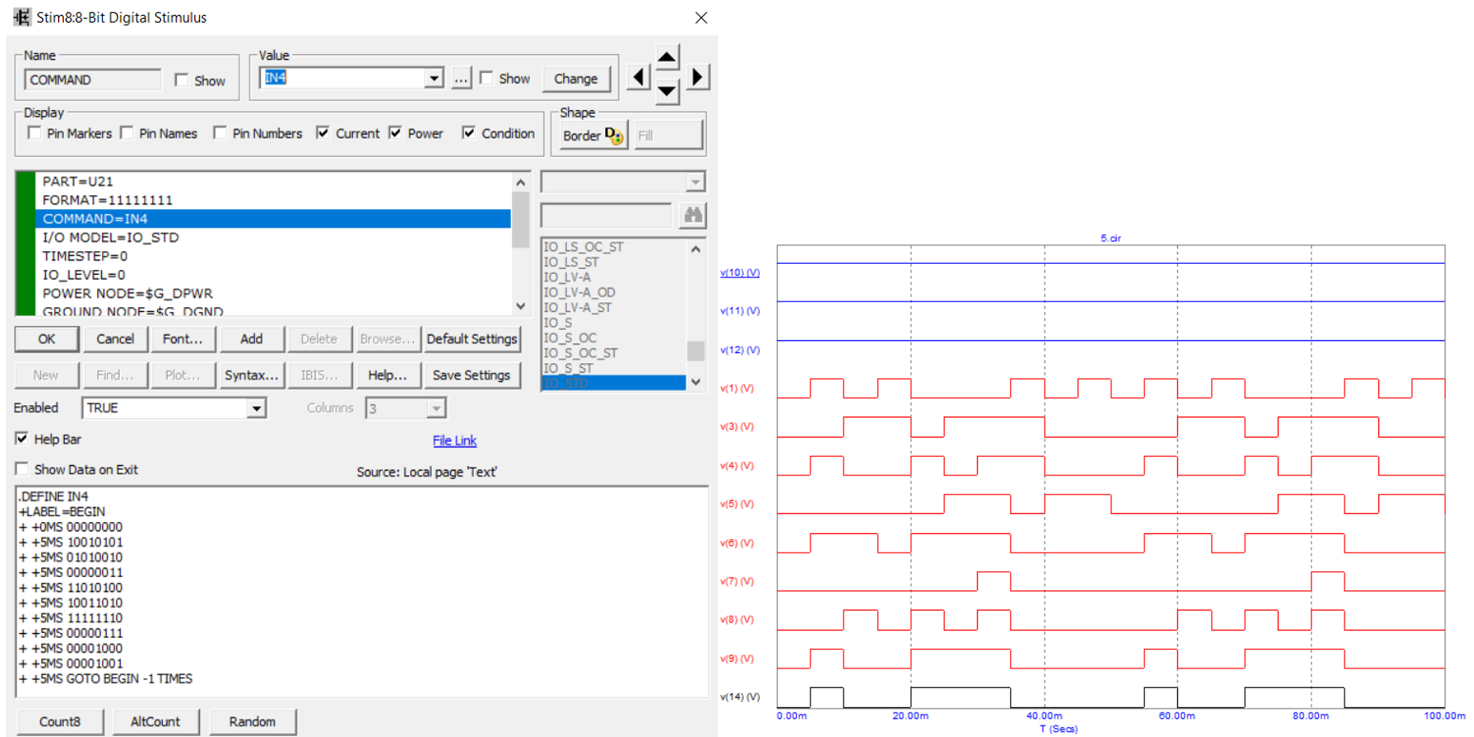


Рис. 2.13

**ТЕСТОВЫЕ ЗАДАНИЯ К РАБОТЕ 2**

1. Укажите **задачи**:
2. для демультиплексирования данных и адресной логики в запоминающих устройствах, а также для преобразования двоично-десятичного кода в десятичный с целью управления индикаторными и печатающими устройствами;
3. для преобразования десятичных чисел в двоичные или в двоично-десятичный код, например в микрокалькуляторах, в которых нажатие десятичных клавишей соответствует генерации соответствующего двоичного кола;
4. для хранения и преобразования многоразрядных двоичных чисел;
5. для коммутации в заданном порядке сигналов, поступающих с нескольких входных шин на одну выходную;
6. для распределения в требуемой последовательности по нескольким выходам сигналов с одного информационного входа, в частности для передачи информации по одной линии от нескольких установленных на ней датчиков, при решении которых используется:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| шифратор: | * а | * б | * в | * г | * д |
| дешифратор: | * а | * б | * в | * г | * д |
| мультиплексор: | * а | * б | * в | * г | * д |
| демультиплексор: | * а | * б | * в | * г | * д |

1. Укажите, с **какого разряда** бинарного слова генератора будет передаваться информация на выход мультиплексора 8х3 при адресном коде 100 на его входе:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| * 1 | * 3 | * 5 | * 7 | * 9 |

1. Укажите число **выходов** дешифратора при трех информационных входах:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| * 2 | * 4 | * 6 | * 8 | * 16 |

1. Укажите назначение **стробирующих** входов в преобразователях кодов:

* для синхронизации работы преобразователей;
* для увеличения числа коммутируемых информационных входов, а также для блокирования работы преобразователей;
* для увеличения числа адресных входов.

1. Укажите, в каком **преобразователе** выбор входа по его номеру (адресу) осуществляется с помощью двоичного код:

|  |  |
| --- | --- |
| * в шифраторе; | * в дешифраторе; |
| * в мультиплексоре; | * в демультиплексоре; |

1. Укажите **число выводов** у шифратора при четырех информационных входах:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| * 16 | * 8 | * 4 | * 2 | * 1 |

1. Укажите, какой из приведенных преобразователей кодов выпускается промышленностью только в **составе других устройств**:

|  |  |
| --- | --- |
| * шифратор; | * дешифратор; |
| * демультиплексор; | * мультиплексор; |